

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02303048
PUBLICATION DATE : 17-12-90

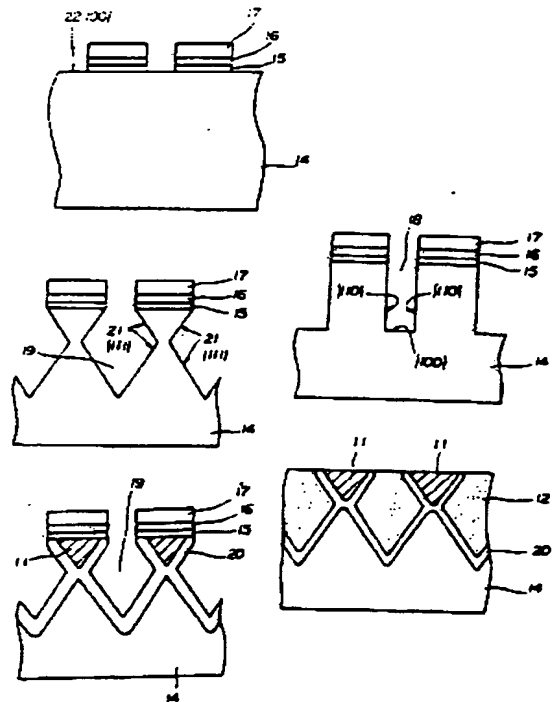
APPLICATION DATE : 18-05-89
APPLICATION NUMBER : 01124673

APPLICANT : NISSAN MOTOR CO LTD;

INVENTOR : SHINOHARA TOSHIAKI;

INT.CL. : H01L 21/76

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To obtain an island having a large area with highly efficient yield at a low cost by allowing a semiconductor island that is formed on an Si substrate to be composed of faces, i.e., {100} or {110}, and {111} which are formed in the direction of $\langle 110 \rangle$.

CONSTITUTION: A three-layer mask consisting of an SiO_2 film 15, an Si_3N_4 film 16, and an SiO_2 film 17 is formed in the direction of $\langle 110 \rangle$ on the face {110} of an Si substrate 14. A groove 18 is formed by RIE. The substrate is treated with an anisotropic etching by using a KOH liquid and a groove 19 that is surrounded with a face {111} is made up. Further, its groove is covered with an SiO_2 film 20 after it is treated with thermal oxidation and it is isolated completely from the outside to make up Si islands 11. Finally, its etched groove 19 is filled with poly-Si and SiO_2 and the like to form isolation regions 12. The Si substrate is completed by leveling the surface.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-303048

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月17日

H 01 L 21/76

D

7638-5F

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-124673

⑰ 出 願 平1(1989)5月18日

⑱ 発 明 者 篠 原 俊 朗 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 和田 成則

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 単結晶半導体基板上に誘電体層を介することにより該半導体基板に対して電気的に絶縁された半導体島を形成する半導体装置において、

表面が(1100)面又は(1110)面であるシリコン基板の(1110)方向に形成された素子形成領域と、該(1100)面又は(1110)面と三角柱を形成する二つの(1111)面とから半導体島を形成したことを特徴とする半導体装置。

2. 半導体基板上に誘電体層を介することにより該半導体基板に対して電気的に絶縁された半導体島を形成する装置の製造方法において、

表面が(1100)面であるシリコン基板の(1110)方向に所定幅のマスクパターンを形成する工程と、

前記所定幅のマスクパターンで規定され、基板

表面から所定深さの(1110)面の壁が残るように前記シリコン基板をエッチングする工程と、

(1111)面よりも(1110)面のエッチング速度が大きいエッチング液を用いて前記マスク部分の両壁異方性エッチングする工程と、

該異方性エッチングした両壁面を所定の厚さまで熱酸化させ誘電体層を形成する工程と、
からなる半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、SOI型半導体装置に使用される半導体装置およびその製造方法に関する。

(従来の技術)

従来の半導体装置としては、例えば第12図に示すようなものが知られている。これは、1988年 Extended Abstracts of 5th International Workshop on Future Election Device P155からの引用であり、シリコン(Si)基板中にSiO₂を埋め込むことによりSOI基板を実現している。以下、その製造工程を図a～図dについ

て説明する。

図aでは、シリコン基板1を熱酸化し、第1のSi₃N₄および第1のHTO酸化膜をデポジットした後、所望の形状にフォットエッチングしてエッチングマスク2を形成する。その後、リアクティブイオンエッチャ(RIE)により、シリコン基板1のトレンチエッチングをおこなう。

次に、図bでは熱酸化処理をおこない、トレンチの側壁および底面にSiO₂膜を形成した後、第2のSi₃N₄膜、第2のHTO酸化膜をデポジットし、その後さらにRIEを用いて、トレンチ底面、およびHTO酸化膜/Si₃N₄膜/SiO₂膜からなるエッチングマスク3を異方性エッチングし、トレンチ底面のシリコン基板1を露出させる。その結果、トレンチ側壁には、エッチングマスク3が残る。

次に、図cではエッチングマスク2、3にマスクされたシリコン基板1を等方性エッチング処理して、等方性エッチング孔4を形成する。

次いで、図dでは再度シリコン基板1を熱酸化

して、エッチングマスク2、3におおわれていないエッチング孔4に熱酸化膜5を形成し、シリコン基板1と誘電体分離されたシリコン島6を形成する。

最後に、図eでは、エッチングマスク2、3を除去してから、埋込み酸化膜7をデポジットすると、SOI型の半導体基板が形成される。

《発明が解決しようとする問題点》

しかしながら、このような構成にしたSOI型半導体には、次のような問題があった。

(1) 等方性エッチングおよびトレンチ底面の熱酸化をする際に、トレンチ側壁に3層構造のエッチングマスクを設けなければならず、そのため工程が複雑になり歩留まりが低下し、単位コストが上昇する。

(2) 同様に、等方性のエッチング処理であるため、ウェハ内、ロット内、ロット間において、エッチング量のバラツキが大きくなる。そのため、エッチング過剰を避けようとするエッチング処理時間を短く抑えなければならず、設計上シリコン島

の幅寸法に上限が生じ、面積の大きいシリコン島を形成することができない。

《発明の目的》

この発明は、このような従来の問題点を解消するためになされたもので、その目的とするところは、歩留まりを向上させて単位コストを引下げ、しかも面積の大きい半導体島を形成可能にした半導体装置およびその製造方法を提供することにある。

《問題点を解決するための手段》

上記目的を達成するために、この発明は、単結晶半導体基板上に誘電体層を介することにより該半導体基板に対して電気的に絶縁された半導体島を形成する半導体装置において、

表面が(100)面又は(110)面であるシリコン基板の(110)方向に形成された素子形成領域と、該(100)面又は(110)面と三角柱を形成する二つの(111)面とから半導体島を形成したことを特徴とする。

またこの発明は、半導体基板上に誘電体層を介

することにより該半導体基板に対して電気的に絶縁された半導体島を形成する装置の製造方法において、

表面が(100)面であるシリコン基板の(110)方向に所定幅のマスクパターンを形成する工程と、

前記所定幅のマスクパターンで規定され、基板表面から所定深さの(110)面の壁が残るように前記シリコン基板をエッチングする工程と、

(111)面よりも(110)面のエッチング速度が大きいエッチング液を用いて前記マスク部分の両壁異方性エッチングする工程と、

該異方性エッチングした両壁面を所定の厚さまで熱酸化させ誘電体層を形成する工程と、

を有することを特徴とする。

《作 用》

この発明は、シリコンからなる半導体基体上面を(100)面とし、(111)面よりも(110)面のエッチング速度が大きいエッチング液を用いて、異方エッチングをおこなうことにより、

主なる3面(100)、(111)、(111)からなる概ね3角柱の形状をした半導体島が形成可能になるとともに、形成工程において半導体島下部のサイドエッチング量を正確にコントロールすることができる。

〈実施例〉

以下、この発明の実施例を図面に基つて説明する。

第1図から第4図までは、この発明の第1の実施例に係る半導体装置を示し、第1図は実施例にかかる半導体基板の一部分の平面図を示し、第2図は第1図II-II線断面図である。

この半導体基板は第1、2図に示すように、シリコン基板14の上部において、誘電体分離されたシリコン島11の下部に、シリコン酸化膜13がシリコン島11を包み込むように形成され、さらにシリコン島11間には分離領域12が形成されている。

なお、これらシリコン島11の表面はシリコン結晶における(100)面であり、シリコン島1

1の底部は(111)面に形成されている。これは製造工程において、シリコン島11の底部をアルカリ系異方性エッチング液でエッチング処理され、(111)面が露出したところでエッチングが停止する工程を経て形成されたことを示している。

次に上記半導体基板の製造方法を、第3図により説明する。

図aでは、最初にシリコン基板14を熱酸化してパッド酸化膜15を形成し、その上面に酸化防止用の Si_3N_4 膜16、リアクティブイオンエッチングマスク用のマスク酸化膜17をデポジットする。その後、マスク酸化膜17、 Si_3N_4 膜16、パッド酸化膜15をフォトリソエッチングして、シリコン島が形成される領域の上部のみにマスク酸化膜17、 Si_3N_4 膜16、パッド酸化膜15を残す。なお、ここでシリコン基板14の表面はシリコン結晶の(100)面に、マスク酸化膜17、 Si_3N_4 膜16、パッド酸化膜15のパターンはそれぞれ(110)方向に形成されている。

次に図bに示すように、例えばリアクティブイオンエッチャ(RIE)を用いて、シリコン基板14のトレンチエッチングをおこない、シリコン溝18を形成する。

次いで、図cでは、アルカリ系異方性エッチング液、例えば水酸化カリウム(KOH)溶液を用いて、シリコン溝18をエッチングする。その結果、(111)面で囲まれた異方性エッチング孔19を形成する。

さらに図dに示すように、シリコン島11がシリコン基板14と完全に誘電分離されるように熱酸化をおこない、酸化膜20を形成し、シリコン基板14と分離されたシリコン島11を形成する。

最後に図eでは、異方性エッチング孔19にポリシリコンや、酸化膜等を埋め込み、分離領域12を形成し、さらに表面を平坦化して半導体基板を完成する。

第4図は、シリコン島下部のサイドエッチングを詳しく説明する図である。

同図に示されるようにトレンチ側壁のシリコン

面(110)を、アルカリ系エッチング液でエッチング処理すると、(110)面は(111)面に比較しエッチングレートが大きいので、(111)面が露出したところでエッチングが終了する。そのため、ウェハ内、ロット内、ロット間においてエッチングのパラツキが存在しても(111)面でエッチングがストップするため、パラツキが解消されることになり、サイドエッチング量は常に設計値と高精度で一致させることが可能になる。つまり、この方法を用いれば加工後の寸法パラツキがほとんどないシリコン島11を形成することができる。

なお、シリコン基板表面の面方位が(100)面から少々オフアングルしていても、この発明の構造を形成するためには全く問題ない。

以下具体的な設計例について説明する。図中に示すように、トレンチ深さの2分の1をD、シリコン島11下部のサイドエッチング量をd、酸化膜20の誘電体分離されている部分の長さa、シリコン島11の幅をWとし、酸化膜厚さをT。x、酸

特開平2-303048 (4)

化時のシリコン消費率を α とすると、

$$W = 2 \cdot d + s$$

$$d = D \cdot \tan \theta \quad (\theta = 35.26^\circ)$$

$$s = 2 \cdot \alpha \cdot T_{ox} \quad (\alpha \approx 0.45)$$

となり、上式より W 、 D 、 T_{ox} の関係は

$$W = 2 \cdot D \cdot \tan \theta + 2 \cdot \alpha \cdot T_{ox}$$

となる。

ここで例えば、 $T_{ox} = 200 \text{ nm}$ 、 $D = 5 \mu\text{m}$ と設定して処理加工すると、 $W = 7.25 \mu\text{m}$ のシリコン島11が得られることになる。

また、逆にシリコン島11の幅を $7.25 \mu\text{m}$ に形成したい場合は、 $7.25 \mu\text{m}$ の間隔をおいて、深さ $10 \mu\text{m}$ のトレンチエッチングをおこなった後、異方性のサイドエッチングをおこない、さらに 200 nm の熱酸化をすれば良いことになる。

なお、比較のため第12図に示した従来例において、同様に $7 \mu\text{m}$ 幅のシリコン島を形成する場合を考えてみると、図cの工程で $3.3 \mu\text{m}$ の等方性エッチングをおこなった後、約 400 nm の熱酸化をしなければならない。しかも等方性エッチ

ングでは通常 $\pm 10\%$ のバラツキがあるため、処理後の寸法にして約 $\pm 0.3 \mu\text{m}$ のバラツキを生じてしまう。

このように従来の方法で幅広のシリコン島を製造しようとしても、寸法誤差の大きいシリコン島が形成されてしまい到底実用に耐えられるものではない。

第5図から第8図までは、この発明の第2の実施例に係る半導体装置を示し、第5図は実施例にかかる半導体基板の一部分の平面図を示し、第6図は第5図VI-VI線断面図である。

この半導体基板は第5、6図に示すように、シリコン基板34の表面に $\langle 110 \rangle$ 方向を長手方向とした断面三角形のシリコン島31が形成されている。このシリコン島31の側面にシリコン酸化膜33を介して分離領域32が形成されたことにより、シリコン島31はシリコン基板に対して電気的に絶縁されている。

なお、シリコン島31の表面はシリコン結晶における $\langle 110 \rangle$ 面であり、シリコン島31の底

部は $\langle 111 \rangle$ 面に形成されている。これは製造工程において、シリコン島31の底部をアルカリ系異方性エッチング液でエッチング処理され、 $\langle 111 \rangle$ 面が露出したところでエッチングが停止する工程を経て形成されたことを示している。

次に上記半導体基板の製造方法を、第7図により説明する。

図aでは、最初にシリコン基板34を熱酸化してパッド酸化膜35を形成し、その上面に酸化防止用の Si_3N_4 膜36、リアクティブイオンエッチングマスク用のマスク酸化膜37をデポジットする。その後、マスク酸化膜37、 Si_3N_4 膜36、パッド酸化膜35をフォトリソエッチングして、シリコン島が形成される領域の上部のみにマスク酸化膜37、 Si_3N_4 膜36、パッド酸化膜35を残す。なお、ここでシリコン基板34の表面におけるシリコン結晶の $\langle 110 \rangle$ 面に、マスク酸化膜37、 Si_3N_4 膜36、パッド酸化膜35のパターンがそれぞれ $\langle 110 \rangle$ 方向を長手方向として形成されている。

次に図bに示すように、例えばリアクティブイオンエッチャ(RIE)を用いて、シリコン基板34のトレンチエッチングをおこない、シリコン溝38を形成する。このときトレンチの長手方向側面は $\langle 100 \rangle$ 面が露出する。

次いで、図cでは、アルカリ系異方性エッチング液、例えば水酸化カリウム(KOH)溶液を用いて、シリコン溝38をエッチングする。その結果、 $\langle 111 \rangle$ 面41で囲まれた異方性エッチング孔41を形成する。

さらに図dに示すように、シリコン島31がシリコン基板34と完全に誘電分離されるように熱酸化をおこない、酸化膜40を形成し、シリコン基板34と分離されたシリコン島31を形成する。

最後に図eでは、異方性エッチング孔39にポリシリコンや酸化膜等を埋め込んで分離領域32を形成し、さらに表面を平坦化して半導体基板を完成する。

第8図は、シリコン島下部のサイドエッチングを詳しく説明する図である。

同図に示されるようにトレンチ側壁の露出したシリコン面(1100)を、アルカリ系エッチング液でエッチング処理すると、(1100)面は(111)面に比較しエッチングレートが大きいため、(111)面が露出したところでエッチングが終了する。そのため、ウェハ内、ロット内、ロット間においてエッチングのバラツキが存在しても(111)面でエッチングがストップするため、バラツキが解消されることになり、サイドエッチング量は常に設計値と高精度で一致させることが可能になる。つまり、この方法を用いれば加工後の寸法バラツキがほとんどないシリコン島31を形成することができる。

なお、シリコン基板表面の面方位が(110)面から少々オフアングルしていても、この発明の構造を形成するためには全く問題ない。

以下具体的な設計例について説明する。図中に示すように、トレンチ深さの2分の1をD、シリコン島31下部のサイドエッチ量をd、酸化膜40の誘電体分離されている部分の長さs、シリコ

ン島31の幅をWとし、酸化膜厚さをTox、酸化時のシリコン消費率をαとすると、

$$W = 2 \cdot d + s$$

$$d = D \cdot \tan \theta \quad (\theta = 54.7^\circ)$$

$$s = 2 \cdot \alpha \cdot \text{Tox} \quad (\alpha \approx 0.45)$$

となり、上式よりW、D、Toxの関係は

$$W = 2 \cdot D \cdot \tan \theta + 2 \cdot \alpha \cdot \text{Tox}$$

となる。

ここで例えば、Tox = 200 nm、D = 5 μmと設定して処理加工すると、W = 14.3 μmのシリコン島31が得られることになる。

また、逆にシリコン島31の幅を14.3 μmに形成したい場合は、14.3 μmの間隔において、深さ10 μmのトレンチエッチングをおこなった後、異方性のサイドエッチングをおこない、さらに200 nmの熱酸化をすれば良いことになる。

なお、比較のため第12図に示した従来例において、同様に7 μm幅のシリコン島を形成する場合を考えると、図cの工程で6.8 μmの等方性エッチングをおこなった後、約400 nmの熱

酸化をしなければならない。しかも等方性エッチングでは通常±10%のバラツキがあるため、処理後の寸法にして約±0.7 μmのバラツキを生じてしまう。

このように従来の方法で幅広のシリコン島を製造しようとしても、寸法誤差の大きいシリコン島が形成されてしまい到底実用に耐えられるものではない。

なお、この第2実施例を第1実施例と比較してみると、同一の深さのトレンチに対して2倍の幅のシリコン島を形成することができる。すなわち第1実施例と同じ幅のシリコン島を形成しようとする場合、2分の1の深さのトレンチエッチングですむため大幅にコストダウンすることができる。

第9図から第11図までは、この発明の第3の実施例に係る半導体装置を示し、第9図は実施例にかかる半導体基板の一部分の平面図を示し、第10図は第9図X-X線断面図を、第11図は第9図X1-X1線断面図をそれぞれ示す。

この半導体基板は図に示すように、シリコン島

51の形成領域両端に、シリコン島51の底部まで届く程度の深さをしたトレンチ状分離領域61を形成し、トレンチ状分離領域61と、同じく両側に形成した分離領域52とで、シリコン島51を基板54から絶縁している。

以下この実施例の製造方法を簡単に説明する。

まず、シリコン基板54上のシリコン島形成領域両端をRIE等によりトレンチエッチングする。その後、熱酸化またはCVD(化学的気相成長)等により、絶縁膜を薄く形成し、さらにポリシリコン等をCVD等により形成して、トレンチを完全に埋め込む。次いで通常のエッチバック等の手法により、平坦化をおこなう。以上のプロセスによりトレンチ状分離領域61が形成される。

次に、シリコン島形成領域の両側にRIE等の手法によりトレンチエッチングをおこない、(1100)面を露出させる。

このとき、シリコン島形成領域の両端はシリコン基板54内に形成された分離領域61に支持されている。さらに水酸化カリウム(KOH)等の

特開平2-303048 (6)

アルカリ系異方性エッチング液を用いて、トレンチ側面の異方性エッチングをおこない、最後に熱酸化等によりシリコン島51下部のくびれ部をシリコン酸化膜53に変え、分離領域52を埋め込むことにより、この実施例の半導体装置が完成する。

この実施例では、シリコン島51下部の強度が弱くなるアルカリエッチング工程以後でも、シリコン島の両端が支持されていることにより、洗浄等において破損されることを完全に防止することができる。その結果、半導体装置のコストを大幅に下げることができる効果が得られる。

《発明の効果》

この発明は上記のように、半導体基板上に形成される半導体島を、 $\langle 110 \rangle$ 方向に形成された異方性エッチング処理可能なシリコンの結晶面 $\{100\}$ 又は $\{110\}$ 、 $\{111\}$ 、 $\{11\bar{1}\}$ で構成したことにより、処理工程が簡単になると同時に、半導体島を形成する際の寸法精度が

改善されて、半導体装置を製造する上での歩留まりが向上し、単位コストが引下げられる効果がある。

また同様に、加工精度が向上したことにより、面積の大きい半導体島が形成可能となり半導体基板の設計の自由度を向上させることができる効果がある。

4. 図面の簡単な説明

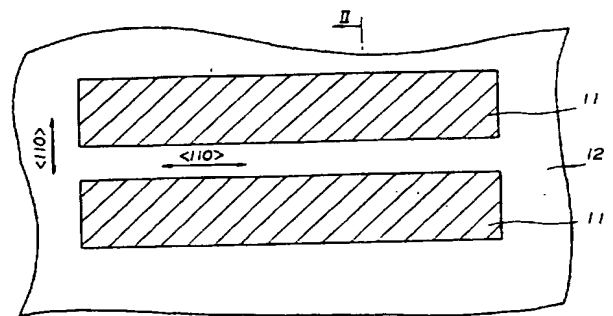
第1図から第4図まではこの発明の第1の実施例に係る半導体装置を示し、第1図は実施例にかかる半導体基板の一部分の平面図、第2図は第1図II-II線断面図、第3図は半導体基板の製造方法示す説明図、第4図はシリコン島下部のサイドエッチングの説明図、第5図から第8図まではこの発明の第2の実施例に係る半導体装置を示し、第5図は実施例にかかる半導体基板の一部分の平面図、第6図は第5図VI-VI線断面図、第7図は半導体基板の製造方法示す説明図、第8図はシリコン島下部のサイドエッチングの説明図、第9図から第11図まではこの発明の第3の実施例に係る半導体装置を示し、第9図は実施例にかかる半

導体基板の一部分の平面図、第10図は第9図X-X線断面図、第11図は第9図X1-X1線断面図、第12図は従来例の製造工程図である。

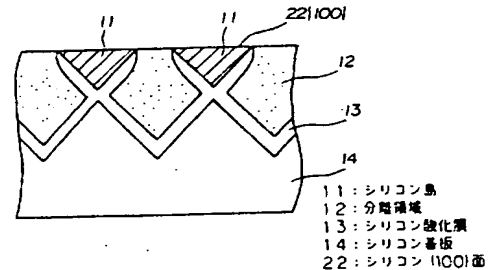
- 11、31、51……シリコン島
- 12、32、52……分離領域
- 13、33、53……シリコン酸化膜
- 14、34、54……シリコン基板
- 15、35……パッド酸化膜
- 16、36…… Si_3N_4 膜
- 17、37……マスク酸化膜
- 18、38……シリコン溝
- 19、39……異方性エッチング孔
- 20、40……酸化膜
- 21、41……シリコン面
- 61……トレンチ状分離領域

特許出願人 日産自動車株式会社
代理人 弁理士 和田成則

第1図

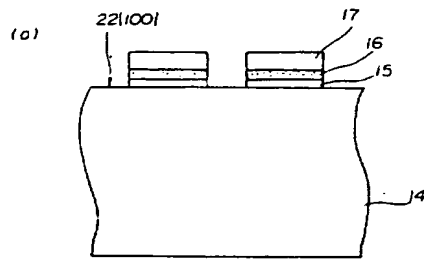


第2図

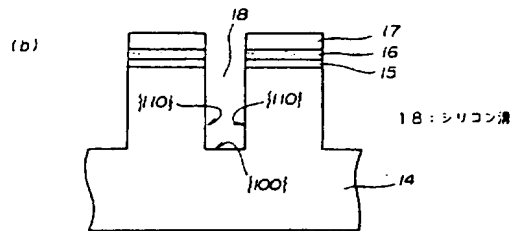


- 11: シリコン島
- 12: 分離領域
- 13: シリコン酸化膜
- 14: シリコン基板
- 22: シリコン{100}面

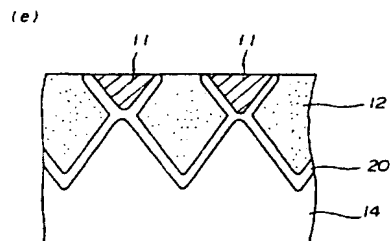
第 3 図



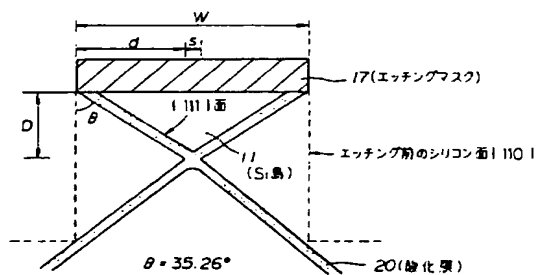
15: バッド酸化膜
16: Si₃N₄膜
17: マスク酸化膜
22: シリコン (100)面



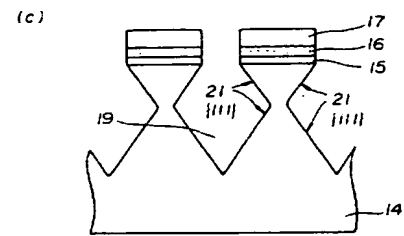
第 3 図



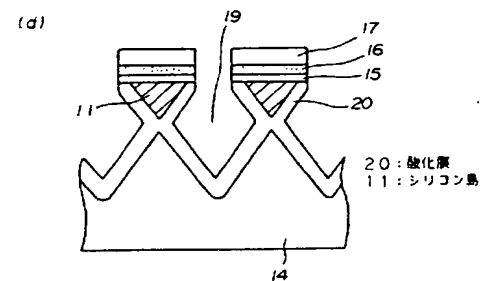
第 4 図



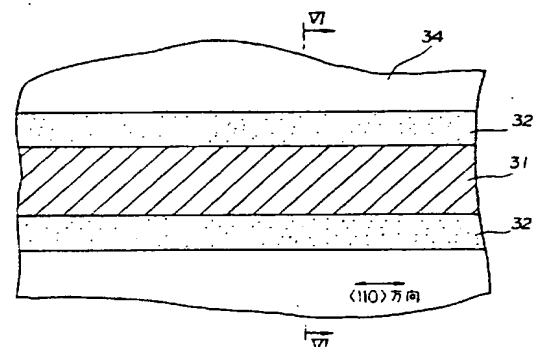
第 3 図



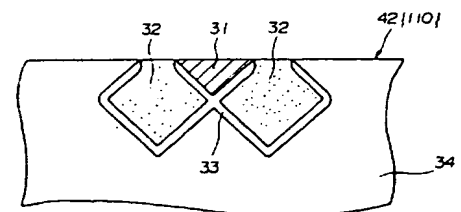
19:異方性エッチング孔
21:シリコン(111)面



第 5 図

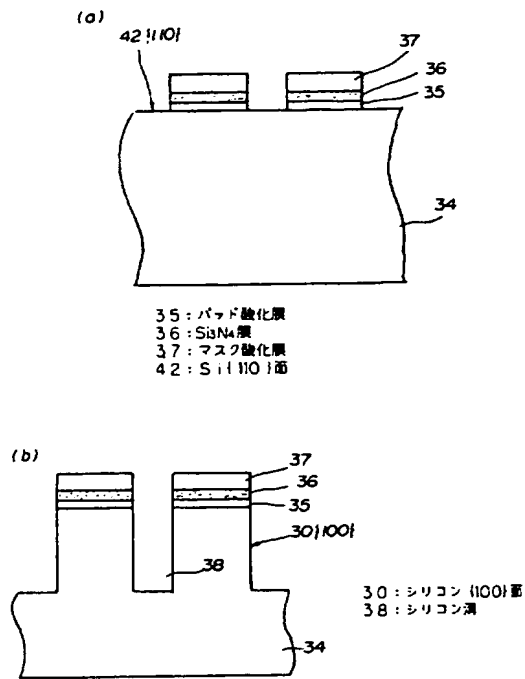


第 6 図

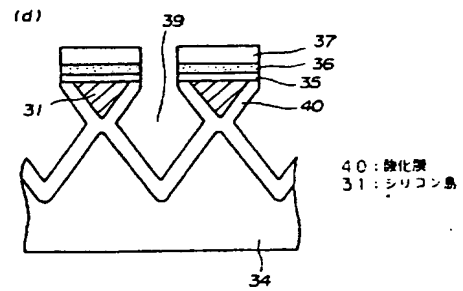
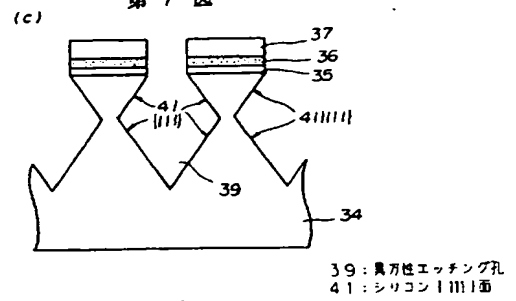


31: シリコン島
32: 分離領域
33: シリコン酸化膜
34: シリコン基板
42: シリコン(110)面

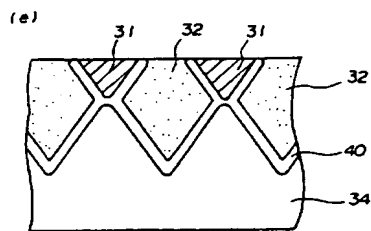
第 7 図



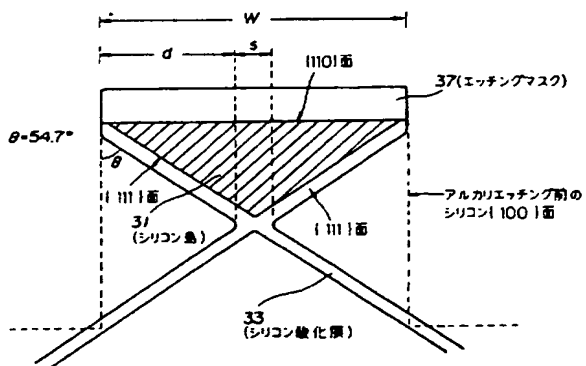
第 7 図



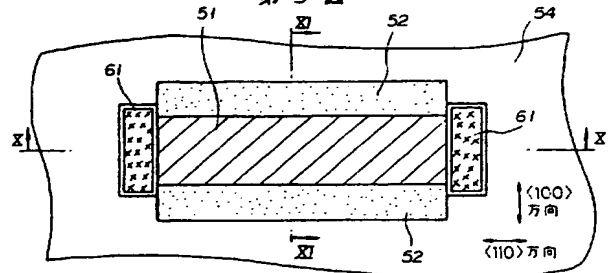
第 7 図



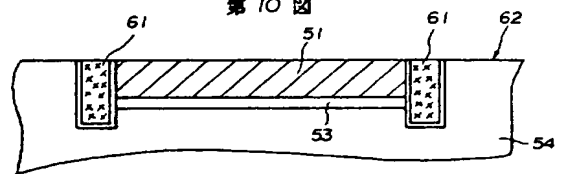
第 8 図



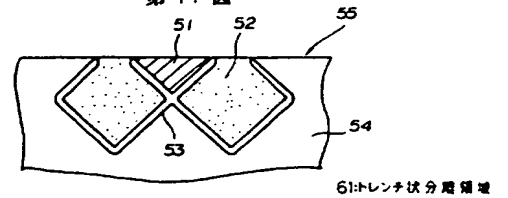
第 9 図



第 10 図



第 11 図



第 12 図

